

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日
Date of Application: 2003年 9月12日

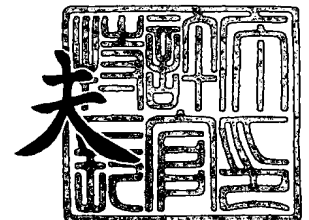
出願番号
Application Number: 特願2003-322295
[ST. 10/C]: [JP2003-322295]

出願人
Applicant(s): ローム株式会社

2003年10月 2日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



出証番号 出証特2003-3081549

【書類名】 特許願
【整理番号】 03-00416
【提出日】 平成15年 9月12日
【あて先】 特許庁長官殿
【国際特許分類】 H01L 27/04
【発明者】
 【住所又は居所】 京都府京都市右京区西院溝崎町 2 1 番地 ローム株式会社内
 【氏名】 山本 勲
【発明者】
 【住所又は居所】 京都府京都市右京区西院溝崎町 2 1 番地 ローム株式会社内
 【氏名】 宮長 晃一
【特許出願人】
 【識別番号】 000116024
 【氏名又は名称】 ローム株式会社
【代理人】
 【識別番号】 100105924
 【弁理士】
 【氏名又は名称】 森下 賢樹
 【電話番号】 03-3461-3687
【手数料の表示】
 【予納台帳番号】 091329
 【納付金額】 21,000円
【提出物件の目録】
 【物件名】 特許請求の範囲 1
 【物件名】 明細書 1
 【物件名】 図面 1
 【物件名】 要約書 1

【書類名】 特許請求の範囲**【請求項 1】**

第 1 パッドおよび第 2 パッドを有する IC チップと、
前記第 1 パッドおよび第 2 パッドの両方に接続された端子と、
を有し、前記第 1 パッドに結線される第 1 信号と前記第 2 パッドに結線される第 2 信号とをダイオードによってカップリングしたことを特徴とする半導体装置。

【請求項 2】

請求項 1 に記載の半導体装置において、前記端子は入力端子であり、
当該半導体装置はさらに、前記入力端子に電源電圧が印加されたときその電源電圧から目的の電圧を生成する制御回路と、生成した目的の電圧を出力する出力端子を有し、
前記制御回路は、前記電源電圧を前記第 1 信号および第 2 信号という 2 系統で受けて前記目的の電圧を生成する構成であることを特徴とする半導体装置。

【請求項 3】

請求項 1 に記載の半導体装置において、前記端子は出力端子であり、
当該半導体装置はさらに、所定の電源電圧が印加される入力端子と、その電源電圧から目的の電圧を生成する制御回路を有し、
前記目的の電圧を前記第 1 信号または前記第 2 信号のいずれかに伝搬せしめたことを特徴とする半導体装置。

【請求項 4】

電源電圧が印加される入力端子と、前記電源電圧から目的の電圧を生成する制御回路と、生成した目的の電圧を出力する出力端子とを含み、
前記入力端子または出力端子の少なくとも一方について、IC チップ側のパッドを複数設けて信号伝搬経路を多重化するとともに、多重化された信号伝搬経路間をダイオードでカップリングしたことを特徴とする半導体装置。

【請求項 5】

半導体装置と負荷装置を搭載し、
前記半導体装置は、電源電圧が印加される入力端子と、前記電源電圧から目的の電圧を生成する制御回路と、生成した目的の電圧を出力する出力端子とを含み、
前記入力端子または出力端子の少なくとも一方について、IC チップ側のパッドを複数設けて信号伝搬経路を多重化するとともに、多重化された信号伝搬経路間を前記半導体装置内部または半導体装置と前記負荷装置の間の個所において、ダイオードでカップリングしたことを特徴とする電子装置。

【書類名】明細書**【発明の名称】半導体装置および電子装置****【技術分野】****【0001】**

本発明は半導体装置と電子装置に関し、とくに、ICチップを内蔵し、ICチップ側のパッドとICの外部端子（以下単に「端子」という）をボンディングワイヤ（以下単に「ワイヤ」という）で接続した半導体装置とそれを搭載した電子装置に関する。

【背景技術】**【0002】**

半導体装置の仕様により、比較的大きな電流を流すことが要求される信号がある。そうした場合、ICチップの複数のパッドにその信号を結線し、複数のパッドによって電流を分担する構成が知られている。それら複数のパッドからそれぞれワイヤによって外部端子へ接続がなされるため、外見上はひとつの端子に現れる1本の信号線と見える。しかし、内部ではふたつのワイヤがふたつのパッドからひとつの端子に接続されている。

【0003】

こうした構成で、ふたつのワイヤのうちの1本がオープン故障を起こすと、要求される電流値が出なかったり、残りのワイヤに過電流が流れてそちらの長期信頼性も下がるなどの不具合が生ずる。しかし、1本だけ切れた状態でもその信号自体は端子に現れるため、通常の試験では故障判定が困難である。この問題を解消するために、パッド間を抵抗によって接続し、オープン故障による抵抗値の変化を検出する技術が知られている（特許文献1）。

【特許文献1】特開平11-111785号公報

【発明の開示】**【発明が解決しようとする課題】****【0004】**

しかし、特許文献1の技術の場合、ある程度大きなテスト電流を流して電圧降下を発生させないと故障判定ができない。しかし、テストによっては、大きな電流を流すことができない場合があるほか、テスト電流でワイヤに負荷を掛けないためにも、微弱な電流で故障の検出ができることが望ましい。本発明はこうした課題に鑑みてなされたものであり、その目的は、微弱なテスト電流でも故障判定が可能な半導体装置およびそれを搭載する電子装置の提供にある。

【課題を解決するための手段】**【0005】**

本発明の半導体装置は、第1パッドおよび第2パッドを有するICチップと、第1パッドおよび第2パッドの両方に接続された端子とを有し、第1パッドに結線される第1信号と第2パッドに結線される第2信号とをダイオードによってカップリングしている。ダイオードは第1信号から第2信号へ電流を流す方向にひとつだけ入れてもよいし、その逆方向にひとつだけ入れてもよいし、それら両方を入れてもよい。

【0006】

いずれにしても、ワイヤオープンが発生すると、ICチップ内部で第1信号または第2信号に接続される回路が動作しなくなったり、ダイオードの順方向降下電圧によって、減電テスト、すなわち低い電源電圧によるテストにおいて、エラーが通常より早く現れたりすることで、故障の検出が可能になる。ダイオードを用いることにより、このテストは微弱な電流でも可能となる。

【0007】

この半導体装置において、前記の端子が入力端子であるとき、この半導体装置はさらに、入力端子に電源電圧が印加されたときその電源電圧から目的の電圧を生成する制御回路と、生成した目的の電圧を出力する出力端子を有し、制御回路は、電源電圧を第1信号および第2信号という2系統で受けて前記の目的の電圧を生成する構成であってもよい。

【0008】

別の態様として、この半導体装置において、前記の端子が出力端子であるとき、この半導体装置はさらに、所定の電源電圧が印加される入力端子と、その電源電圧から目的の電圧を生成する制御回路を有し、目的の電圧を第1信号または第2信号のいずれかに伝搬せしめてもよい。

【0009】

本発明のさらに別の態様として、半導体装置は電源電圧が印加される入力端子と、電源電圧から目的の電圧を生成する制御回路と、生成した目的の電圧を出力する出力端子とを含み、入力端子または出力端子の少なくとも一方について、ICチップ側のパッドを複数設けて信号伝搬経路を多重化するとともに、多重化された信号伝搬経路間をダイオードでカップリングしたものである。

【0010】

本発明のさらに別の態様は、電子装置に関する。この電子装置は、半導体装置と負荷装置を搭載する。半導体装置は、電源電圧が印加される入力端子と、前記電源電圧から目的の電圧を生成する制御回路と、生成した目的の電圧を出力する出力端子とを含み、入力端子または出力端子の少なくとも一方について、ICチップ側のパッドを複数設けて信号伝搬経路を多重化するとともに、多重化された信号伝搬経路間を前記半導体装置内部または半導体装置と前記負荷装置の間の個所において、ダイオードでカップリングする。

【発明の効果】

【0011】

本発明の半導体装置は、微弱な電流でもワイヤオープン故障の検出ができる。

【発明を実施するための最良の形態】

【0012】

実施の形態1.

図1は本実施の形態に係る半導体装置の回路を示す。ICチップ11は、シリーズレギュレータを構成している。ICチップ11は、電源から入力電圧 V_i を入力する入力用パッドP i 1と、制御の目的である出力電圧 V_o を出力する出力用パッドP o 1と、外部に出力された出力電圧 V_o を帰還電圧 V_{fb} としてフィードバックする帰還用パッドP f 1を有する。

【0013】

入力用パッドP i 1と出力用パッドP o 1との間にPMOSタイプのトランジスタQ 1が接続されている。また、出力用パッドP o 1と帰還用パッドP f 1との間に、前者から後者への向きを順方向とする第1ダイオードD 1と、その逆向きの第2ダイオードD 2が接続されている。なお、第2ダイオードD 2は後述のワイヤオープン故障の検出には不要であるため、省略してもよい。以下、第1、第2ダイオードD 1、D 2を総称して単に「ダイオード」ともよぶ。

【0014】

演算増幅器OP 1の反転入力端子(−)には基準電圧 V_{ref} が入力され、非反転入力端子(+)には帰還電圧 V_{fb} を第1、第2分圧抵抗R 1、R 2で分圧した比較対象電圧 V_{fb}' が入力される。基準電圧 V_{ref} と比較対象電圧 V_{fb}' の差分が演算増幅器OP 1から出力され、トランジスタQ 1のゲートに供給される。

【0015】

半導体装置21は、リード端子である入力端子P i 2と出力端子P o 2を有する。入力端子P i 2は入力ワイヤW i 1により入力用パッドP i 1に接続され、出力端子P o 2は出力ワイヤW o 1により出力用パッドP o 1に接続される。出力端子P o 2はまた、帰還ワイヤW f 1により帰還用パッドP f 1にも接続されている。

【0016】

図中に破線で示すように、入力端子P i 2には電源としての電池BATが接続され、例えば4.5Vの入力電圧 V_i が供給される。出力端子P o 2からは、例えば3.0Vの出力電圧 V_o が負荷装置31に供給される。半導体装置21では、基準電圧 V_{ref} と比較対象電圧 V_{fb}' とが等しくなるように制御される。

【0017】

本実施の形態では、ICチップ11の内部で出力用パッドP o 1と帰還用パッドP f 1との間にダイオードを接続している。このダイオードが接続されていない場合、帰還ワイヤW f 1がオープンになると、帰還がかからず、出力電圧V oはほぼ入力電圧V iまで上昇し、場合により、負荷装置31にダメージを与える。ダイオードを設けることで、そうした事態を回避する。

【0018】

図2は、ワイヤオープン故障の検出原理を示す。テストでは、入力端子P i 2にゼロから徐々に上昇する電圧（以下「テスト入力電圧」といい、 V_{ti} と表記する）を印加し、そのとき出力端子P o 2に現れる電圧（以下「テスト出力電圧」といい、 V_{to} と表記する）を観察して行われる。同図で太い実線（a）は正常なとき、破線（b）は出力ワイヤW o 1が切れたとき、一点鎖線（c）は帰還ワイヤW f 1が切れたとき、それぞれにおける、 V_{ti} に対する V_{to} の振る舞いを示す。ただし、見やすさのために、ふたつ以上の線が重なる部分は線をずらして示す。

【0019】

(1) 正常時

$V_{ti} = V_0$ になるまで、 V_{to} が有効に現れない。 V_0 はトランジスタQ1が動作を開始したときのソース・ドレイン電圧に相当する。つづいて、 $V_{to} = V_{fb}$ になるまで V_{to} はリニアに増加する。以降、 $V_{to} = V_{fb}$ を維持する。

(2) 出力ワイヤW o 1が切れたとき

$V_{ti} = V_0 + V_f$ になるまで、 V_{to} が有効に現れない。 V_f はトランジスタQ1の順方向降下電圧である。なぜなら、 V_{to} はトランジスタQ1のドレインから第1トランジスタD1、帰還ワイヤW f 1を経て出力端子P o 2に現れるためである。このため、減電テストによって故障を発見することができる。

(3) 帰還ワイヤW f 1が切れたとき

$V_{ti} = V_0$ で V_{to} が有効に現れ、以降、 V_{to} がリニアに増加する点は(1)同様である。しかし、 $V_{to} = V_{fb}$ では止まらず、 $V_{to} = V_{fb} + V_f$ まで増加する。以降、この値を維持する。なぜなら、 V_{fb}' は出力電圧が第1ダイオードD1を通ったあとの電圧として現れるためである。このため、やはり減電テストによって故障を発見することができる。

【0020】

なお、これら以外に、入力ワイヤW i 1のオープン故障が考えられる。その場合、 V_{ti} が変化しても V_{to} が現れないため、検出は容易である。

【0021】

以上、本実施の形態によれば、ダイオードを利用することにより、微弱な電流によるテストによってワイヤオープンの検出が可能になる。また、ワイヤが1本切れたときであっても、ダイオードによって出力電圧と帰還電圧が比較的近い値で維持されるため、出力電圧が大きくなりすぎて負荷装置31にダメージを与える可能性を軽減することができる。

【0022】

実施の形態2.

図3は、本実施の形態に係る半導体装置の回路を示す。以下、実施の形態1と同等の構成には同じ符号を与え適宜説明を略す。本実施の形態が実施の形態1と異なるのは、レギュレータに利用するトランジスタがふたつ存在する点である。第1のトランジスタQ1の配置は実施の形態1と同じである。追加になった第2のトランジスタQ2も、ゲート、ソース、ドレインとも第1のトランジスタQ1と共通である。従って、第2のトランジスタQ2は、第1のトランジスタQ1と同じ動作をする。本実施の形態では、ふたつのトランジスタを置くことにより、各トランジスタのサイズが比較的小さくても必要なドライブ能力を確保することができる。以上の構成におけるワイヤオープンの検出は実施の形態1と同様である。

【0023】

実施の形態 3.

図 4 は本実施の形態に係る半導体装置の回路を示す。以下、実施の形態 2 と同等の構成には同じ符号を与え適宜説明を略す。本実施の形態が実施の形態 2 と異なるのは、出力側ではなく、入力側にふたつのパッドを設け、そちらにダイオードを設けた点である。したがって、本実施の形態では、制御回路は電池電圧をふたつのパッドという 2 系統で受けて目的の電圧を生成する構成といてよい。図 4 のごとく、第 2 の入力用パッド P_{i1a} が新設され、これが入力端子 P_{i2} にワイヤ接続される。一方、帰還用パッド P_{f1} は廃止され、第 1、第 2 ダイオード D_1 、 D_2 も廃止され、第 1、第 2 トランジスタ Q_1 、 Q_2 のドレインが直接出力用パッド P_{o1} に接続されている。第 1 トランジスタ Q_1 のソースは実施の形態 2 と同じであるが、第 2 トランジスタ Q_2 のソースは新設された入力用パッド W_{i1a} に接続され、第 2 トランジスタ Q_2 と第 1 トランジスタ Q_1 のドレイン間に、前者から後者を順方向とする第 3 ダイオード D_3 と、その逆向きの第 4 ダイオード D_4 が接続されている。以上の構成におけるワイヤオープンの検出は以下の方法でなされる。

【0024】

(1) 新設された入力ワイヤ W_{i1a} が切れたとき

第 2 トランジスタ Q_2 のソース電位が V_{ti} から第 4 トランジスタ D_4 の順方向降下電圧 V_f 分下がるため、第 2 トランジスタ Q_2 のオンの程度が弱まる。その結果、IC チップ 11 全体としてのドライブ能力が落ちるため、出力端子 P_{o2} で駆動電流を監視することにより、ワイヤオープンを検出することができる。なお、ワイヤが切れても、第 2 トランジスタ Q_2 をある程度動作させることにより、第 1 トランジスタ Q_1 に過度の負担がかかることを防止することができる。

(2) 最初から存在していた入力ワイヤ W_{i1} が切れたとき

(1) と同様の方法で検出できる。

(3) もとのワイヤ W_{o1} が切れたとき

当然、 V_{ti} が変化しても V_{to} が現れないため、検出は容易である。

【0025】

実施の形態 4.

図 5 は本実施の形態に係る半導体装置の回路を示す。本実施の形態は実施の形態 2 と 3 を組み合わせたものであり、入力側も出力側もふたつのパッドを設けている。すなわち、入力側については実施の形態 3 と同じ構成、出力側については実施の形態 2 と同じ構成である。したがって、入力側のワイヤオープンの検出は実施の形態 3 と同じ方法、出力側のワイヤオープンについては実施の形態 2 と同じ方法が利用できる。

【0026】

本実施の形態は実施の形態 2 と 3 の効果を併せ持つ。まず、ワイヤオープン故障を微弱な電流で検出できる。また、出力側のワイヤが切れても負荷装置 31 にダメージを与えない。さらに、入力側のワイヤが切れても、いずれかのトランジスタに過負荷がかかりにくい。入力、出力とも経路が多重化されているので、本実施の形態は大電流の駆動に向く。

【0027】

実施の形態 5.

図 6 は、実施の形態 1 に係る半導体装置を搭載した電子機器の概念構成図である。ただし、実施の形態 1 では、ダイオードを半導体装置の内部に設けたが、ここでは外部に設ける。また、実施の形態 1 では出力用ピン P_{o2} が帰還用ピンを兼ねたが、この実施の形態では帰還専用ピン P_{f2} を新設する。

【0028】

電子装置 40 のプリント基板 41 には、半導体装置 21 と負荷装置 31 が搭載されている。半導体装置 21 の出力端子 P_{o2} と負荷装置 31 の入力端子とが、プリント基板 41 に形成されている出力用配線 L_o で接続されている。半導体装置 21 の帰還専用ピン P_{f2} と出力用配線 L_o 上の点 N とが帰還用配線 L_f により接続されている。入力端子 P_{i2} にはパターン配線により入力電圧 V_i が印加されている。第 1 ダイオード D_1 は出力用配

線 L o から帰還用配線 L f へ向かう向きに、第 2 ダイオード D 2 はその逆向きに、それぞれプリント基板上で接続されている。

【0029】

以上の構成により、半導体装置 2 1 内部にダイオードを有さない場合でも、実施の形態 1 同様の効果、すなわち負荷装置 3 1 の保護とワイヤオープンの検出が容易になる。なお、本実施の形態によれば、プリント基板実装テスト工程において、半導体装置 2 1 内部のワイヤオープンだけでなく、半導体装置 2 1 をプリント基板 4 1 に実装したときの出力用ピン P o 2、帰還専用ピン P f 2 のパンダ付け不良によるオープン故障を検出することもできる。

【0030】

以上、本発明を実施の形態をもとに説明した。この実施の形態は例示であり、いろいろな変形例が可能なこと、またそうした変形例も本発明の範囲にあることは当業者に理解されるところである。

【0031】

例えば、実施の形態では、MOS トランジスタを用いた。しかし、トランジスタは当然バイポーラタイプであってもよい。

【0032】

実施の形態では、制御回路としてシリーズレギュレータを説明した。しかし、制御回路はスイッチングレギュレータ、チャージポンプ型レギュレータなど他のレギュレータを備えてもよい。

【図面の簡単な説明】

【0033】

【図 1】 実施の形態 1 に係る半導体装置の構成を示す図である。

【図 2】 実施の形態 1 に係る半導体装置のワイヤオープン故障を検出する原理を示す図である。

【図 3】 実施の形態 2 に係る半導体装置の構成を示す図である。

【図 4】 実施の形態 3 に係る半導体装置の構成を示す図である。

【図 5】 実施の形態 4 に係る半導体装置の構成を示す図である。

【図 6】 実施の形態 5 に係る電子装置の構成を示す図である。

【符号の説明】

【0034】

1 1 IC チップ

2 1 半導体装置

D 1、D 2、D 3、D 4 ダイオード

P i 1、P i 1 a、P o 1、P f 1 パッド

P i 2、P i 2 a、P o 2、P f 2 ピン

W i 1、W i 1 a、W o 1、W f 1 ボンディングワイヤ

Q 1、Q 2 トランジスタ

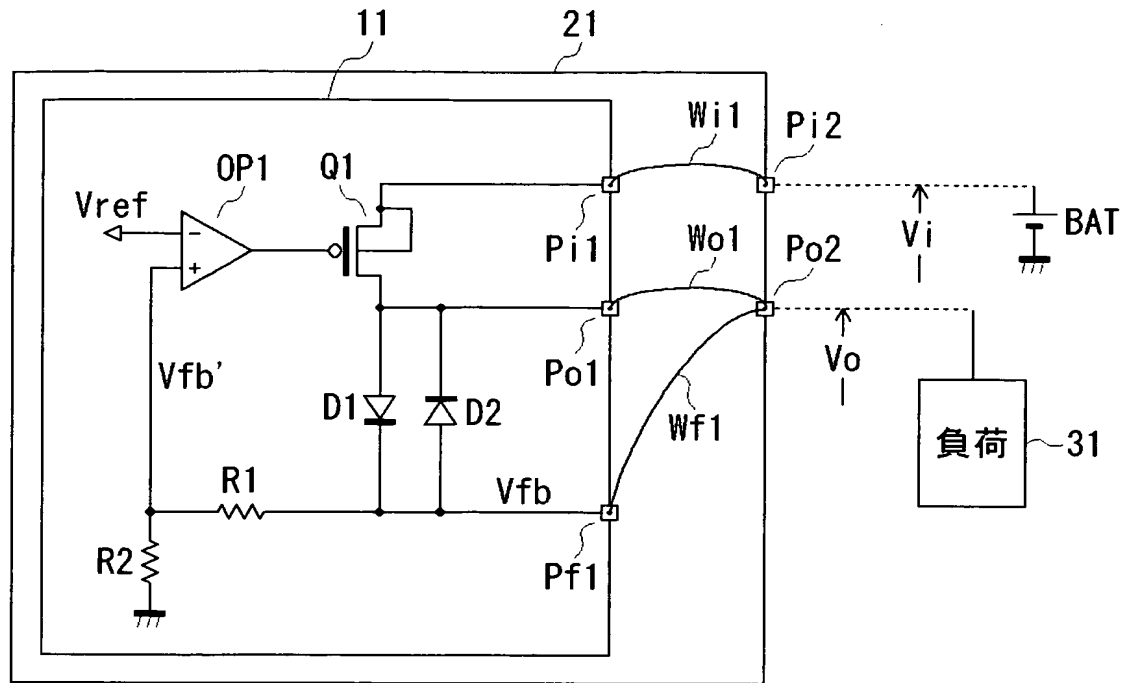
O P 1 演算増幅器

3 1 負荷装置

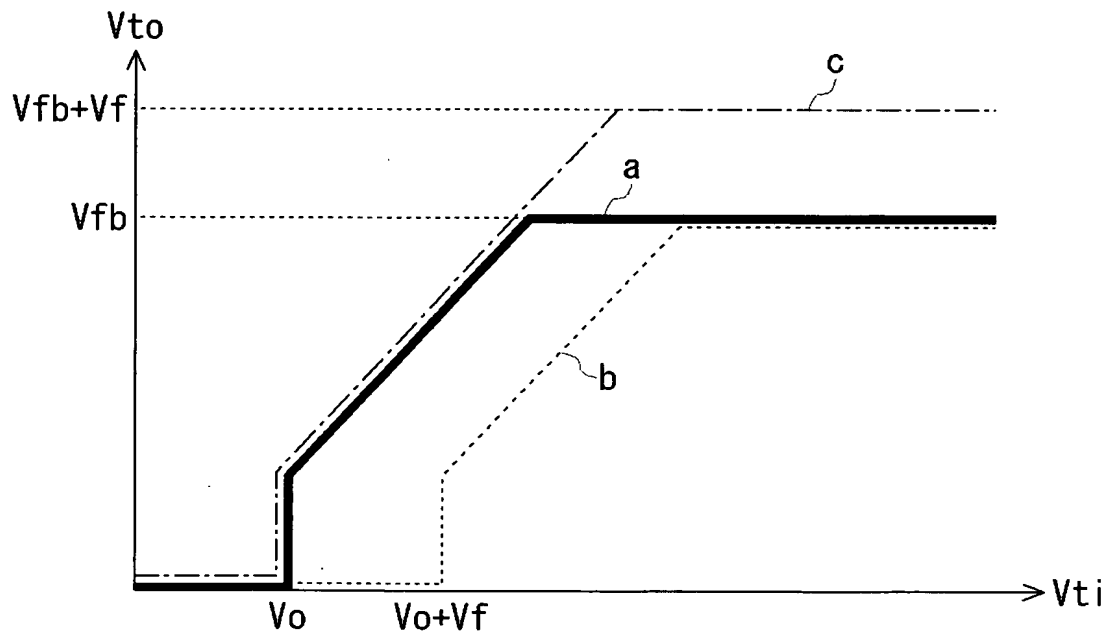
4 0 電子装置

【書類名】 図面

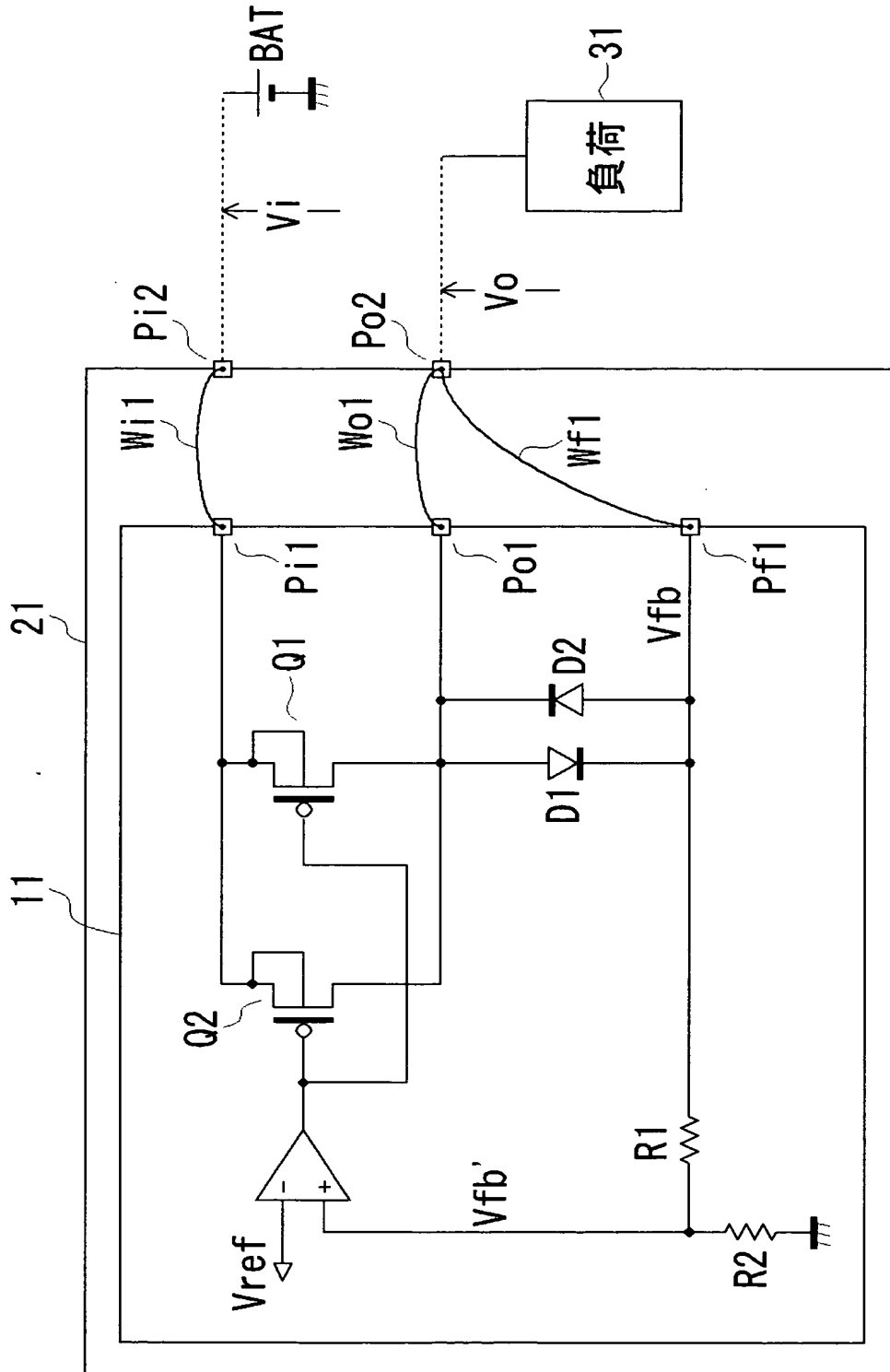
【図 1】



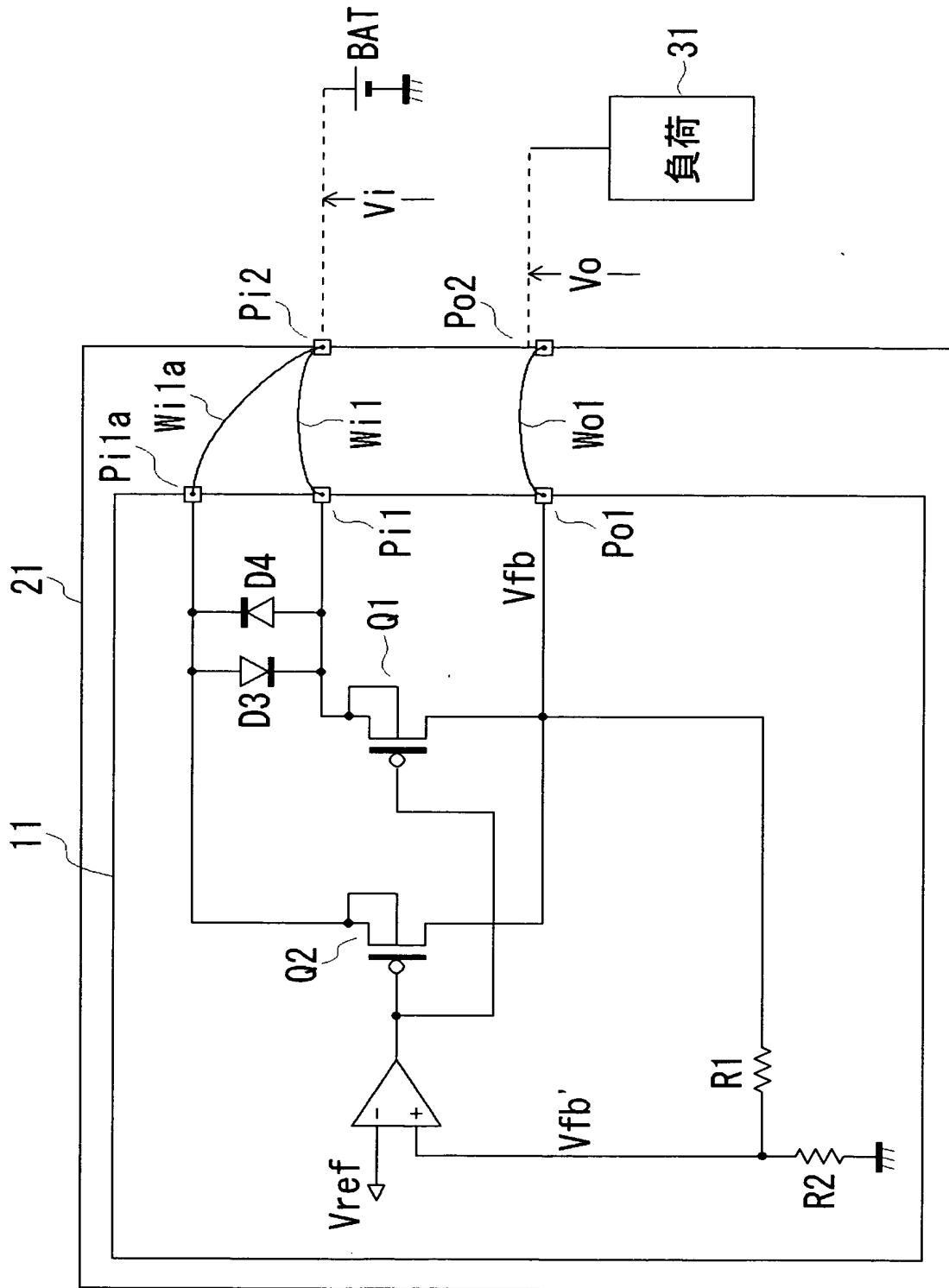
【図 2】



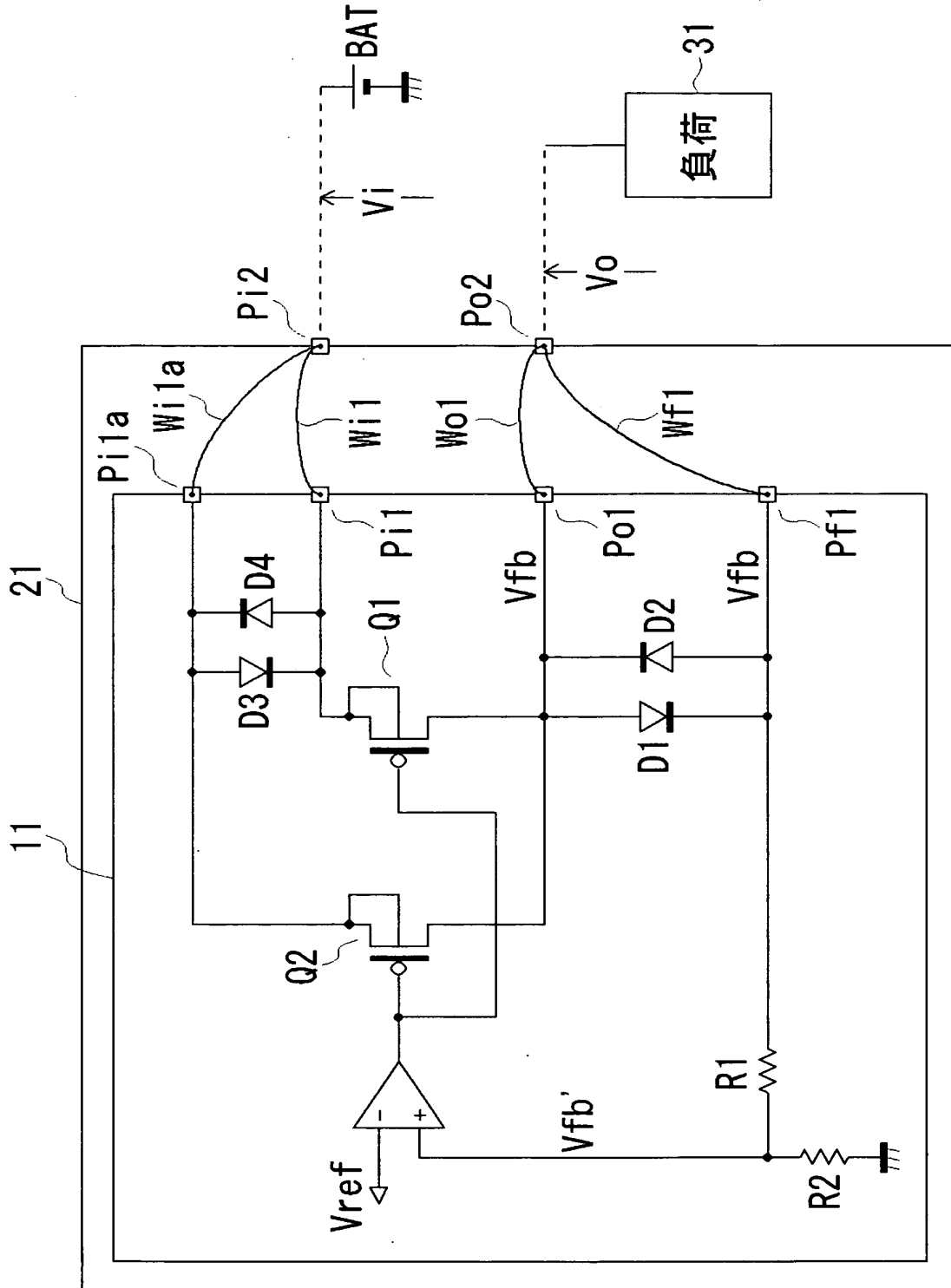
【図 3】



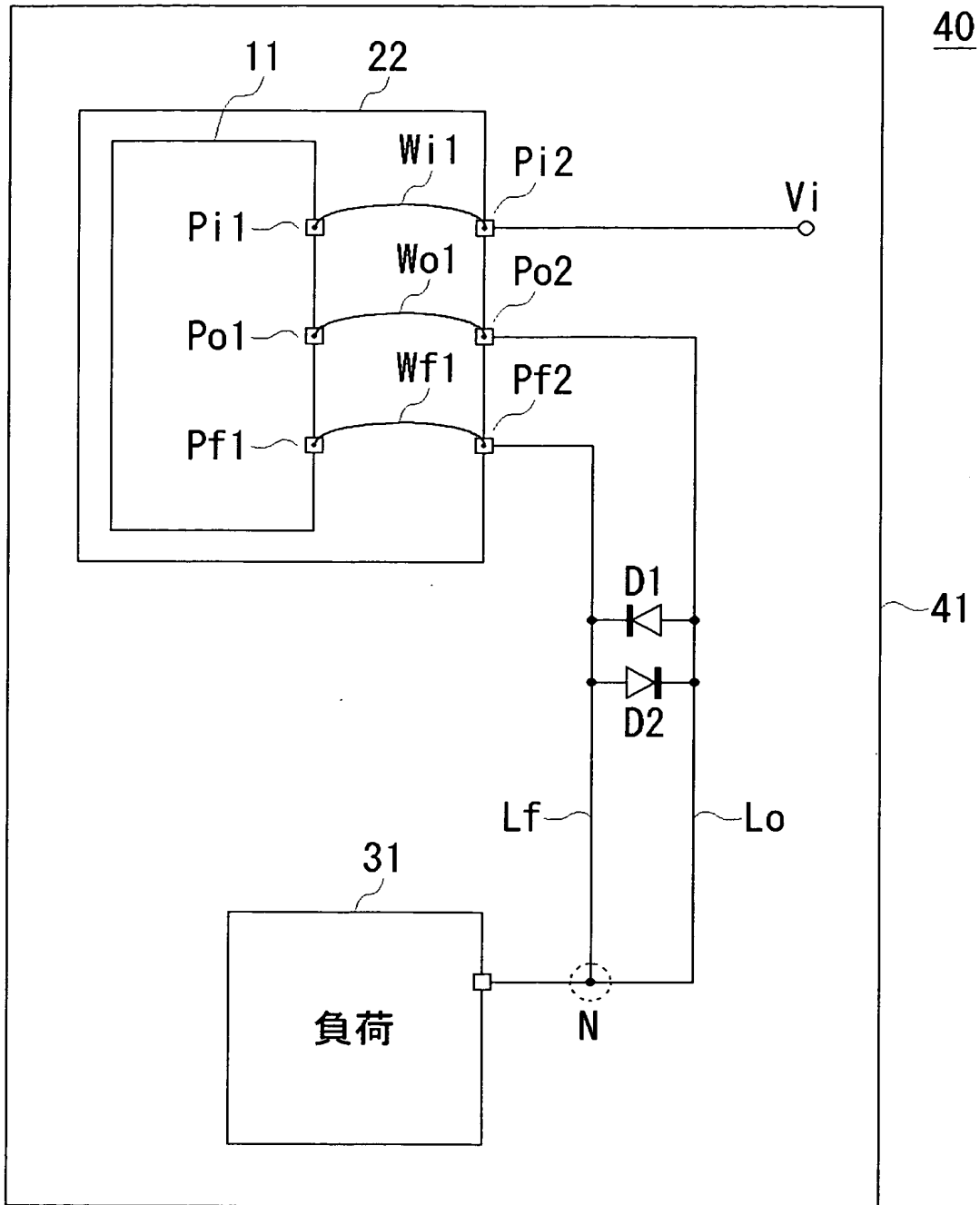
【図4】



【図 5】



【図 6】



【書類名】 要約書**【要約】**

【課題】 半導体装置において、ダブルワイヤを用いると、2本のワイヤのうちの1本のオープン故障が検出しづらい。この検出を微弱な電流で実施したい。

【解決手段】 ICチップ11はシリーズレギュレータを内蔵する。入力用ピンPi2には電池電圧が印加される。レギュレータを構成するトランジスタQ1の出力は出力用パッドPo1を経て出力用ピンPo2に現れる。出力電圧の帰還信号は帰還用パッドPf1を経て分圧抵抗R1の一端に現れる。出力用パッドPo1と帰還用パッドPf1をダイオードD1、D2で接続する。

【選択図】 図1

特願 2 0 0 3 - 3 2 2 2 9 5

出 願 人 履 歴 情 報

識別番号

[0 0 0 1 1 6 0 2 4]

1. 変更年月日

1 9 9 0 年 8 月 2 2 日

[変更理由]

新規登録

住 所

京都府京都市右京区西院溝崎町 2 1 番地

氏 名

ローム株式会社